

ROW ELECTRODE DRIVE CIRCUIT OF DISPLAY DEVICE

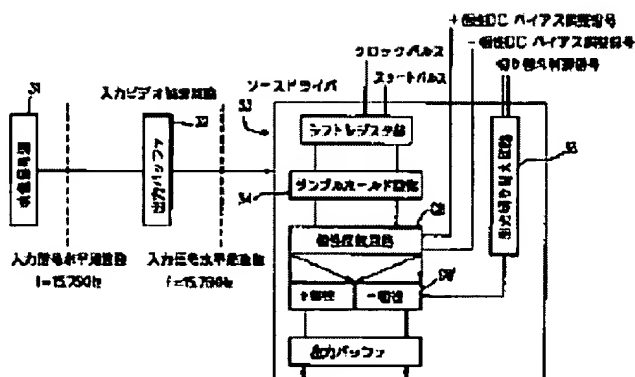
Patent number:	JP7319432
Publication date:	1995-12-08
Inventor:	INOUE MASAMI
Applicant:	SHARP KK
Classification:	
- international:	G09G3/36; G02F1/133; G09G3/20; H04N5/66
- european:	
Application number:	JP19940116932 19940530
Priority number(s):	JP19940116932 19940530

Report a data error here

Abstract of JP7319432

PURPOSE: To reduce the number of component and to make plural drive methods arbitrarily selectable in the interior of a drive circuit by installing a means which is a polarity inversion circuit of video signals and makes row electrode output signals.

CONSTITUTION: A video signal source 31 is connected to a source driver 33 to input video signals via an output buffer 32. In the sample-and-hold circuit 34 to which these video signals are inputted, each one system of sampling circuits is connected to that of hold circuits, which is furthermore connected to a row polarity inversion circuit CH that generates positive polarity potential and negative polarity potential to be output to the row electrode using the potential of the hold section. In this stage, a switching section SW connected with an outputted switching circuit 35 selects either one of the positive- and negative polarity potentials made by the polarity inversion circuit CH for each hold circuit to output to the row electrode for each hold circuit.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-319432

(43)公開日 平成7年(1995)12月8日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133.	5 0 5			
G 0 9 G 3/20		V 9378-5G		
H 0 4 N 5/68	1 0 2 B			

審査請求 未請求 請求項の数 3 O.L (全 9 頁)

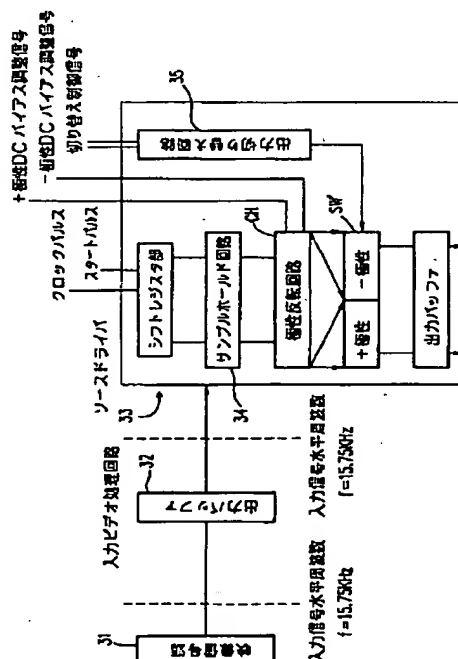
(21)出願番号	特願平6-116932	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成6年(1994)5月30日	(72)発明者	井上 正巳 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	弁理士 山本 秀策

(54) 【発明の名称】 表示装置の列電極駆動回路

(57) 【要約】

【目的】 部品点数を減少させ、複数の駆動方式を任意に選択可能とする。

【構成】 映像信号の極性反転回路CHを設けたので、1系統の入力信号およびサンプリング部Sam' およびホールド部H'を形成することのみで1水平期間中に正極性と負極性の映像信号を任意に選択して列電極に出力可能となり、表示装置の交流駆動が可能になるとともに倍速駆動ができる。また、各々の信号の正極性電位および負極性電位の直流電圧レベルを外部から調整信号DC1、DC2で調整すれば、フリッカなどのない最適な状態にすることができる。さらに、極性反転回路CHで正極性、負極性の映像信号を作成後列電極に出力する際、選択出力手段を設けたので、列単位（ドット反転）、行単位（ライン反転）、列単位+行単位（ドットライン反転）およびフィールド単位などのソース出力が外部設定端子を介して任意に容易に設定でき、用途に応じた交流駆動ができる。



【特許請求の範囲】

【請求項 1】 表示ユニットに配設された複数の列電極を駆動する表示装置の列電極駆動回路であって、入力される表示信号をサンプリングし、サンプリングされた該表示信号を保持する複数のサンプリング部および、該サンプリング部の電位をホールドする複数のホールド部を有する 1 系統のサンプリングホールド手段と、該ホールド部の電位を用いて該列電極に出力する正極性電位および負極性電位を作成する列電極出力信号作成手段と、該列電極出力信号作成手段が該ホールド部毎に作成した正極性電位および負極性電位のうち該ホールド部毎にいずれかを任意に選択して該列電極を駆動する選択出力手段とを備えた表示装置の列電極駆動回路。

【請求項 2】 前記列電極出力信号作成手段に、前記正極性電位および負極性電位の直流電圧レベルを外部から調整可能な調整手段を設けた請求項 1 記載の表示装置の列電極駆動回路。

【請求項 3】 前記選択出力手段に選択制御用の外部設定端子を設け、該外部設定端子に入力される制御信号の組み合わせによって列電極単位、行電極単位、1 水平期間および 1 フィールド期間のうち少なくともいずれかに列電極に出力される映像信号の極性を任意に設定することにより任意の駆動方式を選択可能な請求項 1 記載の表示装置の列電極駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マトリクス型液晶表示装置などの表示装置の列電極駆動回路に関し、特に、通常の 1 水平走査期間の間に 2 行分以上の駆動を行う表示装置の列電極駆動回路に関する。

【0002】

【従来の技術】 従来、フルラインパネルの駆動法として、まず、通常の CRT と同様のインタレース駆動法が考えられる。通常の CRT では、走査線数が 300~350 TV 本程度の垂直解像度が得られるのに対して、フルライン LCD のインタレース駆動法では原理的に走査線数が 480 TV 本の解像度が得られることになる。しかし、走査線数 480 本のパネルの場合、LCD パネルでは液晶の分極防止のため、交流駆動、即ち液晶に印加する電圧の極性を順次変える駆動法を取っており、各絵素に 1/30 秒ごとに電圧を印加しているインタレース駆動では、印加電圧の極性が 15 Hz の周波数で変わることになり、目に見えるちらつき、即ちフリッカが発生する。

【0003】 この問題を解決する手段として、ノンインタレース駆動法がある。通常の CRT の画面とノンインタレース駆動したフルライン LCD の対比を図 8 に示している。この駆動法では、同一信号による 2 ライン走査により 1 フィールド内に順次すべてのラインを走査する

ため、各絵素へ 1/60 秒ごとに電圧が印加されるので、電圧の極性変化は 30 Hz となりラインフリッカとして認識されなくなる。さらに、同一映像信号となる走査線の組み合わせを本来のインタレース走査と等しくし、垂直改造度の向上を図っている。

【0004】 次に、1/2 水平期間に 1 ライン走査する駆動として、ビデオ信号側で行う方法について述べる。これは外部メモリ倍速駆動システムと呼ばれ、その構成は図 9 のようになる。図 9 において、映像信号源 1 から 10 の映像信号は入力ビデオ処理回路 2 に入力され、A/D 変換器 3 さらにスイッチ部 4 を介してラインメモリ 5 に入力されて書き込まれる。即ち、ラインメモリ 5 を 2 個使用した走査変換部で 1 水平期間の映像信号は、まず、周波数 f_{ck} で A/D 変換器 3 で A/D 変換されて、一方のラインメモリ 5 に書き込まれる。さらに、続く 1 水平期間の映像信号を他方のラインメモリ 5 に記憶している間に、一方のラインメモリ 5 から周波数 $2f_{ck}$ で 2 回続いて読み出され A/D 変換器 6 で D/A 変換される。この結果、1 水平期間の映像信号は、時間を半分に短縮した同一信号を 2 度繰り返した変換信号となる。この変換信号は極性反転回路 7 さらに出力バッファ 8 を介して表示モジュールのソースドライバ 9 に入力される。このソースドライバ 9 は 1 系列のサンプルホールド回路 10 を有する構成となっているが、倍速映像信号や倍速スキャンに対応してドライバ駆動周波数が倍になっている。

【0005】 また、従来の別の方式としてドライバ倍速システムがある。その構成を図 10 に示している。図 10 において、映像信号源 11 により得た映像信号を極性反転してソースドライバ入力用ビデオ信号とするという構成は従来と同じであるが、映像信号が入力される極性反転回路 12 は映像信号 1 つにつき 2 系列となり、極性の異なった同一のビデオ信号を各出力バッファ 13 を介して表示モジュールのソースドライバ 14 に入力する。このソースドライバ 14 は 2 系列のサンプルホールド回路 15 を有している。

【0006】 ここで、ソースドライバ 14 を簡略化した内部構成を図 11 に示している。図 11 において、ビデオ信号 A はスイッチ部 16 A でサンプリングクロック CLD1 によりスイッチング制御されて、サンプリングコンデンサ 17 A で保持される。このサンプリングコンデンサ 17 A で保持されたデータ電位はスイッチ部 18 A でトランスファ信号 TR によりスイッチング制御されて、ホールドコンデンサ 19 A で保持される。また、ビデオ信号 B においても同様に、スイッチ部 16 B、サンプリングコンデンサ 17 B さらにスイッチ部 18 B を介してホールドコンデンサ 19 B で保持される。これらホールドコンデンサ 19 A、19 B の出力を切り替える出力切換回路としての出力切換スイッチ 20 から出力バッファ 21 を介してソース出力として出力される。このよ

うなドライバ倍速駆動の例は特開平4-050895号公報において論じられている。

【0007】図12は図10のソースドライバ14を含む駆動回路の構成を示すブロック回路図である。図12において、制御部22はソースドライバ14に接続され、クロック信号、制御信号などの各種信号SALLを取り込み、各種信号SALLに基づいてサンプリングパルスPSA、ホールドパルスPHO、スイッチングパルスPTを生成し、これらをそれぞれ、ソースドライバ14のサンプリング部Sam、ホールド部Hおよびスイ

10 チ部Swにそれぞれ供給する。
【0008】また、正負の極性が反転している映像信号V1（以下「+極性」とする）、映像信号V2（以下「-極性」とする）が、外部から端子T1、T2に与えられている。この端子T1からサンプリング部Samのサンプリング回路Sal、... Sai、... Sanに映像信号V1がそれぞれ与えられる。また、端子T2からサンプリング部Samのサンプリング回路Sbl、... Sbi、... Sbnに映像信号V2が与えられる。

【0009】さらに、これらサンプリング回路Sal、Sbl、... Sai、Sbi、... San、Sbnは、サンプリングパルスPSAに従って順次、1水平期間内において時系列的に並ぶ映像信号V1、V2の絵素信号A1、B1、... Ai、Bi、... An、Bnをそれぞれ保持してサンプリングする。

【0010】これらサンプリング回路Sal、Sbl、... Sai、Sbi、... San、Sbnはそれぞれ、ホールド回路Hal、Hbl、... Hai、Hbi、... Han、Hbnにそれぞれ接続され、1水平ライン期間が終了して上記サンプリング動作が完了した後、次のサンプリングが開始されるために、ホールドパルスが立ち上がったとき、ホールド部Hのホールド回路Hal、Hbl、... Hai、Hbi、... Han、Hbnはそれぞれ、サンプリング回路Sal、Sbl、... Sai、Sbi、... San、Sbnからそれぞれ絵素信号A1、B1、... Ai、Bi、... An、Bnをそれぞれ取り込んで保持する。

【0011】これらホールド回路Hal、Hbl、... Hai、Hbi、... Han、Hbnの各出力端はそれぞれ、スイッチ部Swの各スイッチの端子a、bにそれぞれ接続され、スイッチングパルスPTに従って端子aと端子c間すべてが同時に導通するか、または端子bと端子c間すべてが同時に導通するように切り換えられる。これにより、ホールド回路Hal、... Hai、... Hanまたはホールド回路Hbl、... Hbi、... Hbnのいずれか一方を出力部Eの出力バッファE1、... Ei、... Enとそれぞれ導通させることができる。具体的には、1ライン期間のうちその前半の期間にゲートドライバ23からの奇数行目のゲートラインA、C、... がオン状態になるとき、各スイッチの端子aと端子c

間すべてが同時に導通し、また、1ライン期間のうちその後半の期間にゲートドライバ23からの偶数行目のゲートラインB、D、... がオン状態になるとき、各スイッチの端子bと端子c間すべてが同時に導通する。

【0012】

【発明が解決しようとする課題】上記従来の駆動回路では、外部メモリを使用する図9の外部メモリ倍速駆動システムの場合、ソースドライバは1系列のサンプルホールド回路を有する構成となっているが、倍速映像信号や倍速スキャンに対応してドライバ駆動周波数が倍になっている。したがって、この場合、ビデオ信号処理回路は入力信号の倍の帯域が必要であり、倍速変換回路も必要となる。これに加えてソースドライバは高速クロック動作が不可欠なものとなる。

【0013】また、図10のドライバ倍速駆動システムの場合、1水平走査期間中に2行分の画素を選択駆動するために、入力映像信号、サンプリング部およびホールド部すべて2系列分必要となり、それがソース出力分すべて必要となって、部品点数が増大するという問題を有していた。このため、その製造原価も大きくなる。

【0014】さらに、駆動方式においても、1つの駆動方式（例えばライン反転駆動）しか対応できないため、駆動方式が変わることに専用の制御装置を持つ駆動回路の設計をしなければならなかった。

【0015】本発明は、上記従来の問題を解決するもので、1系統の入力映像信号、サンプリング部およびホールド部で1水平走査期間中に2行分の画素を選択駆動できて、部品点数を減少させることができるとともに、出力極性切り換え機能を付加することにより複数の駆動方式を任意に選択することができる表示装置の列電極駆動回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の表示装置の列電極駆動回路は、表示ユニットに配設された複数の列電極を駆動する表示装置の列電極駆動回路であって、入力される表示信号をサンプリングし、サンプリングされた該表示信号を保持する複数のサンプリング部および、該サンプリング部の電位をホールドする複数のホールド部を有する1系統のサンプリングホールド手段と、該ホールド部の電位を用いて該列電極に出力する正極性電位および負極性電位を作成する列電極出力信号作成手段と、該列電極出力信号作成手段が該ホールド部毎に作成した正極性電位および負極性電位のうち該ホールド部毎にいずれかを任意に選択して該列電極を駆動する選択出力手段とを備えたものであり、そのことにより上記目的が達成される。また、好ましくは、本発明の表示装置の列電極駆動回路における列電極出力信号作成手段に、正極性電位および負極性電位の直流電圧レベルを外部から調整可能な調整手段を設ける。さらに、好ましくは、本発明の表示装置の列電極駆動回路における選択出力手段とし

て、入力表示信号の1水平走査周期内において、1列電極に正極性電位および負極性電位を切り替えて、それぞれ列電極に出力可能な切り替え手段を設ける。さらに、好ましくは、本発明の表示装置の列電極駆動回路における選択出力手段に選択制御用の外部設定端子を設け、該外部設定端子に入力される制御信号の組み合わせによって列電極単位、行電極単位、1水平期間および1フィールド期間のうち少なくともいずれかに列電極に出力される映像信号の極性を任意に設定することにより任意の駆動方式を選択する。さらに、好ましくは、本発明の表示装置の列電極駆動回路における入力表示信号の時間軸を操作しないで、入力する表示信号を1系統にて表示装置の倍速駆動をする。

【0017】

【作用】上記構成により、入力される映像信号を駆動回路内部において、映像信号の極性反転回路である列電極出力信号作成手段を設けたので、1系統の入力信号およびサンプリング部およびホールド部を形成することのみで1水平期間中に正極性と負極性の映像信号を列電極に出力することが可能となり、部品点数が減少し、また、1行ごとに極性を変えることができることで表示装置の交流駆動が可能になるとともに倍速駆動ができる。また、映像信号の正極性電位および負極性電位の直流電圧レベルを外部から調整手段で調整するようにすれば、フリッカなどのない最適な状態にレベル設定できる。さらに、選択出力手段を設けたので、列電極出力信号作成手段で正極性、負極性の映像信号を作成後列電極に出力する際、列単位（ドット反転）、行単位（ライン反転）、列単位+行単位（ドットライン反転）およびフィールド単位などのソース出力が外部設定端子を介して外部から任意に容易に設定でき、用途に応じた交流駆動が容易に決められる。

【0018】

【実施例】以下、本発明の実施例について説明する。

【0019】図1は本発明の一実施例における表示装置の列電極駆動回路の構成を示すブロック図であり、図2は図1の表示装置の列電極駆動回路の要部を具体的に示した回路図である。なお、図2の従来例で説明した箇所と同様の機構を有する部材には同じ部品番号を付しその説明を省略する。

【0020】図1および図2において、映像信号源31は入力ビデオ処理回路の出力バッファ32を介してソースドライバ33に接続され、ソースドライバ33に映像信号が入力される。この映像信号が入力されるサンプルホールド回路34の1系統のサンプリング回路Sa1・・・Sai・・・Sanはそれぞれ、サンプルホールド回路34の1系統のホールド回路Ha1・・・Hai・・・Hanにそれぞれ接続され、これらホールド回路Ha1・・・Hai・・・Hanはそれぞれ、ホールド部の電位を用いて列電極に出力する正極性電位および負極性電位を作

成する列極性反転回路CHに接続されている。この極性反転回路CHは、切り替え制御信号PA、PBで切り替え制御をする出力切り替え回路35が接続されるスイッチ部SW'に接続され、極性反転回路CHからの絵素信号A1、・・・Ai、・・・Anの+極性と-極性をスイッチ部SW'で切り替える。即ち、スイッチ部SW'は極性反転回路CHがホールド回路毎に作成した正極性電位および負極性電位のうちホールド回路毎にいずれかを任意に選択して列電極に出力する。

【0021】この極性反転回路CHの一単位について説明すると、例えば、ホールド回路Ha1は抵抗を介してオペアンプ36の+入力端子に接続され、その-入力端子は抵抗を介してその出力端に接続されるとともに、抵抗を介して入力端子T5に接続されている。また、入力端子T6は抵抗を介してオペアンプ37の+入力端子に接続され、その-入力端子は抵抗を介してその出力端に接続されるとともに、抵抗を介してオペアンプ36の出力端子に接続されている。オペアンプ36の出力端子は信号A1+の端子に接続され、オペアンプ37の出力端子は信号A1-の端子に接続されている。これら信号A1+の端子と信号A1-の端子を、スイッチ部SW'の切り換えスイッチsw1で切り換えている。このスイッチ部SW'の切り換えスイッチsw1は出力回路EのバッファE1に接続され、バッファE1から表示パネル38にソース出力されている。また、同様に、このような極性反転回路CHの構成は、ホールド回路Ha2・・・Hai・・・Hanのそれぞれの出力端に対応してそれぞれ設けられる。

【0022】ここで、入力信号PA、PBの組み合わせにより切り換え回路35が選択する駆動方式①～④を次の表1に示している。

【0023】

【表1】

駆動方式	PA	PB
①	L	L
②	L	H
③	H	L
④	H	H

【0024】上記表1に示すように、切り換え回路35は、入力信号PA、PBがいずれも"Low"レベルLであるとき、図3に示すライン反転駆動①のモードを選択する。また、入力信号PAが"Low"レベルLで、入力信号PBが"High"レベルであるとき、図4に示すドットライン反転駆動②のモードを選択し、また、入力信号PAが"High"レベルHで、入力信号PBが"Low"レベルLであるとき、図5に示すドット反転駆動③のモードを選択する。さらに、入力信号PA、

PBがいずれも“High”レベルHであるとき、図6に示す1フィールド反転駆動④のモードを選択する。

【0025】上記構成により、切り換え回路35は端子T3、T4を介して外部から信号PA、PBを取り込む。これら信号PA、PBの組合せにより前記した表1の通り選択した駆動方式のモードにおいて、制御部39から与えられる制御信号PDに従って制御信号PC、PC'を生成しスイッチ部SW'に供給する。このとき、制御信号PDはサンプリングパルスPSAに同期して生成され、ソースドライバ33の動作状態を伝達する。

【0026】次に、映像信号の流れを説明すると、まず、端子T1からサンプリング部Sam'のサンプリング回路Sal、…Sai、…Sanに映像信号としてデータV1が与えられる。これらサンプリング回路Sal、…Sai、…Sanは、図7に示すようにサンプリングパルスPSAに従って順次1水平期間内において映像信号V1の絵素信号A1'…Ai'、…An'をそれぞれ保持しサンプリングする。1水平期間が終了し、上記サンプリング動作がすべて完了した後、次の1水平期間のサンプリングを開始するまでのブラン

キング期間に、ホールドパルスPHOが立ち上がり、ホールド部H'のホールド回路Hal、…Hai、…Hanに絵素信号A1'…Ai'、…An'をいっせいに取り込んで保持する。このホールド部H'で保持された絵素信号A1'…Ai'、…An'はそれぞれ、極性反転回路CHに入力され、極性反転回路CHで+極性絵素信号A1+、…Ai+、…An+、および、-極性絵素信号A1-、…Ai-、…An-をそれぞれ作成する。

【0027】また、端子T5、T6を介して絵素信号のDCレベル調整信号DC1、DC2にて+極性絵素信号および-極性絵素信号が、フリッカーなどの無い最適な状態になるように調整を行う。また、スイッチ部SW'において、図7に示すように、極性反転回路CHにて作成された+極性絵素信号A1+…Ai+、…An+と、-極性の絵素信号A1-…Ai-、…An-を切り換えて信号PC、PC'によって出力部Eの出力バッファEl、…Ei、…Enを介してソースラインSL1、…SLi、…SLnにそれぞれ供給する。このようにして、各絵素信号はそれぞれ、ソースラインSL1、…SLi、…SLnにそれぞれ供給された後、n個の絵素GA1、…GAi、…GAnに取り込まれる。

【0028】ここで、タイミング図の図7により補足説明しておく、出力切り換え回路35からの切り換え信号PC、PC'の周期は、1水平期間内($f=15.75\text{Hz}$)に2ラインデータを書き込むためホールドパルスが立ち上がり、サンプリングデータがホールド部H'に取り込まれた後、約1/2H周期にて極性切り替えが必要となる(同極性書き込みの場合には必要ない)。図

7のタイミング図は、図4または図5のドット反転駆動例をもとに示している。

【0029】この場合、切り換え信号PCはソースラインの偶数ラインの列電極の切り替えを行い、切り換え信号PC'はソースラインの奇数ラインの列電極の切り替えを行っている。これは逆でも構わない。図1の場合はSL1を奇数ライン、SLiを偶数ライン、SLnを奇数ラインと想定して説明している。

【0030】このようにして、①ライン反転駆動、②ドットライン反転駆動、③ドットライン反転駆動、④1フィールド反転駆動などの各種駆動方式の画像をそれぞれ任意に再生することができる。

【0031】なお、本実施例では、切り替え回路35により選択する駆動方式を簡単なものとするため、①ライン反転駆動、②ドットライン反転駆動、③ドットライン反転駆動、④1フィールド反転駆動の4つとしたが、他に例えば、ライン・フィールド反転駆動、ドット・フィールド反転駆動など他の駆動方式についても実施することができる。また、本実施例では、入力映像信号の極性は変わらずに端子aと端子c間には常に+極性絵素信号、端子bと端子c間には常に-極性絵素信号にて例を述べたが、逆に、入力信号の極性を反転することで切り換え信号PC、PC'と同じ動作を作ることでもできる。

【0032】

【発明の効果】以上のように本発明によれば、メモリなどを使用して、入力する表示信号の時間軸を操作したりせず、入力する表示信号を1系統にて表示装置を倍速駆動させることができ、また、正負映像信号の各々を構成する各絵素信号の極性を任意に切り換えて、複数の駆動方式を任意に選択することができる。また、表示装置においては、その駆動方式に応じてモードを切り換え、正負映像信号の各々を構成する各絵素信号の極性をその駆動方式に一致させて選択し切り換えることもできる。これにより、従来のような外部メモリやドライバ内での2系統によるサンプルホールド回路を不要にし、また、表示画面の各絵素の極性の組み合わせモードごとに専用の駆動回路を設計および製造するような、工程の複雑化や部品点数の増加を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施における表示装置の列電極駆動回路の構成を示すブロック図である。

【図2】図1の表示装置の列電極駆動回路の要部を具体的に示した回路図である。

【図3】図1の表示装置の列電極駆動回路における駆動方式がライン反転駆動による画像図である。

【図4】図1の表示装置の列電極駆動回路における駆動方式がドット・ライン反転駆動による画像図である。

【図5】図1の表示装置の列電極駆動回路における駆動方式がドット反転による画像図である。

【図6】図1の表示装置の列電極駆動回路における駆動

方式が1フィールド反転駆動による画像図である。

【図7】図1の表示装置の列電極駆動回路におけるタイミングチャート図である。

【図8】フルラインLCDのノンインタレース走査とCRTとの対比を示す図である。

【図9】従来の表示装置の列電極駆動回路における外部メモリ倍速駆動システムの構成を示すブロック図である。

【図10】従来の表示装置の列電極駆動回路におけるドライバ倍速駆動システムの構成を示すブロック図である。

【図11】図10のソースドライバ14を簡略化した内部構成図である。

【図12】図10のソースドライバ14を含む駆動回路*

*の構成を示すブロック図である。

【符号の説明】

33 ソースドライバ

34 サンプルホールド回路

35 出力切り替え回路

36, 37 オペアンプ

39 制御部

Sam' サンプリング部

Sal, ..., Sai, ..., San サンプリング回路

H' ホールド部

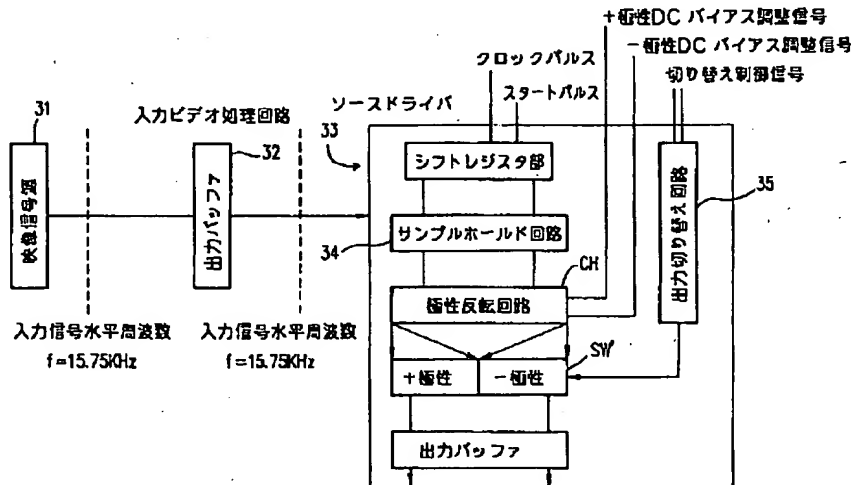
Hal, ..., Hai, ..., Han ホールド回路

CH 極性反転回路

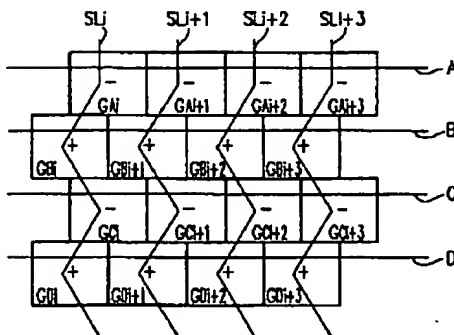
SW' スイッチ部

sw1, ..., swi, ..., swn 切り換えスイッチ

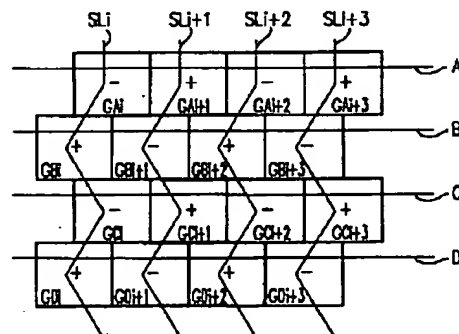
【図1】



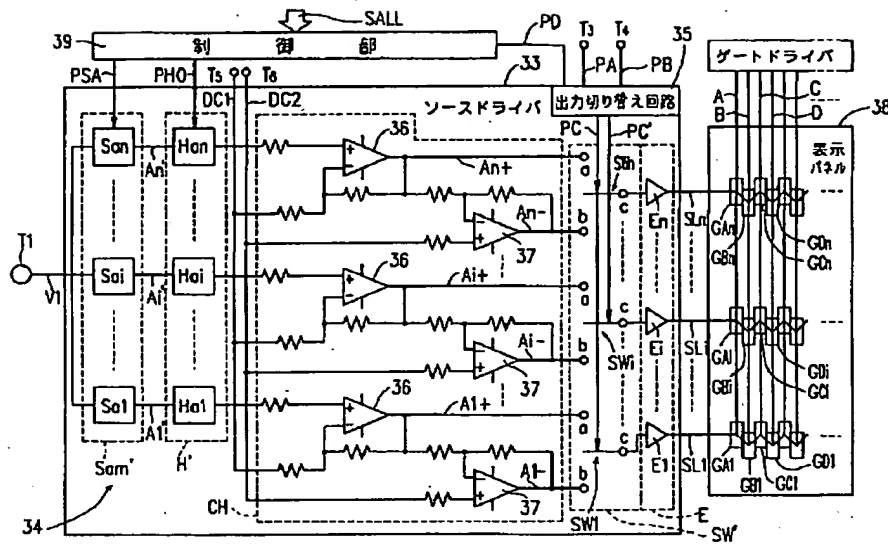
【図3】



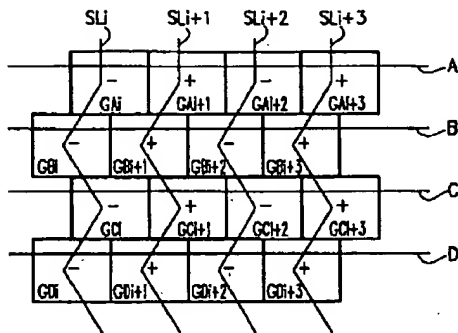
【図4】



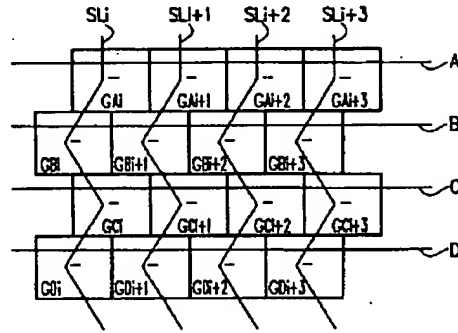
【図2】



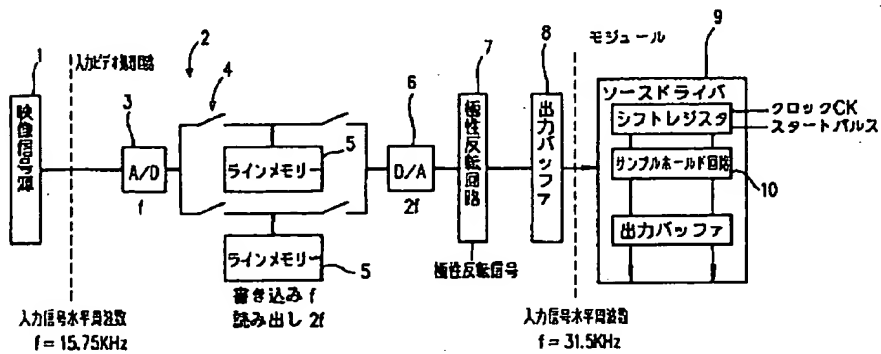
【図5】



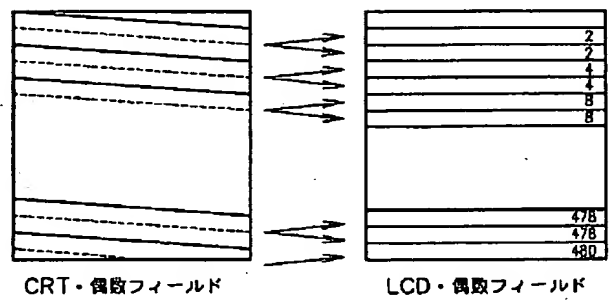
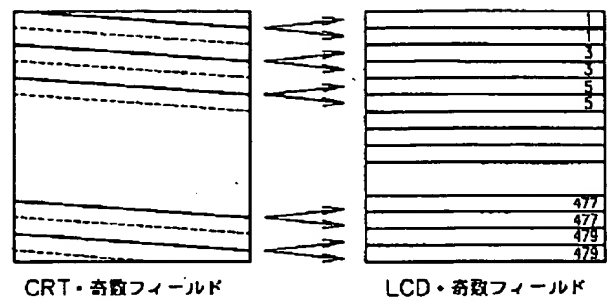
【図6】



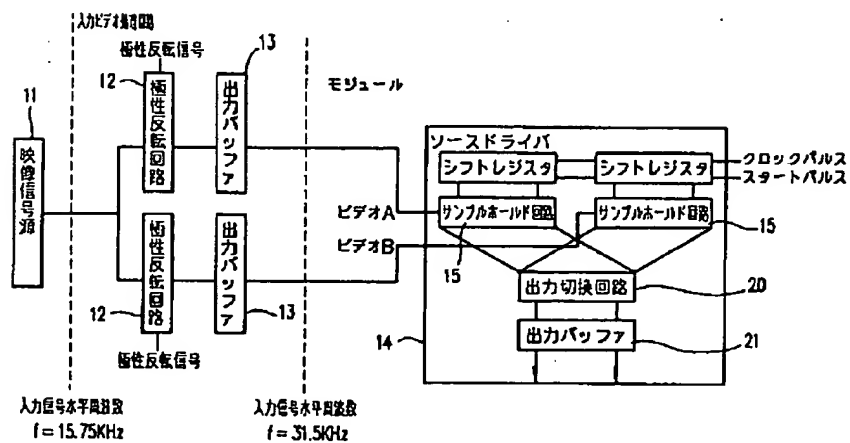
【図9】



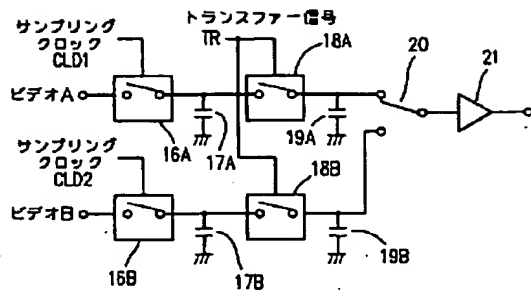
【圖 8】



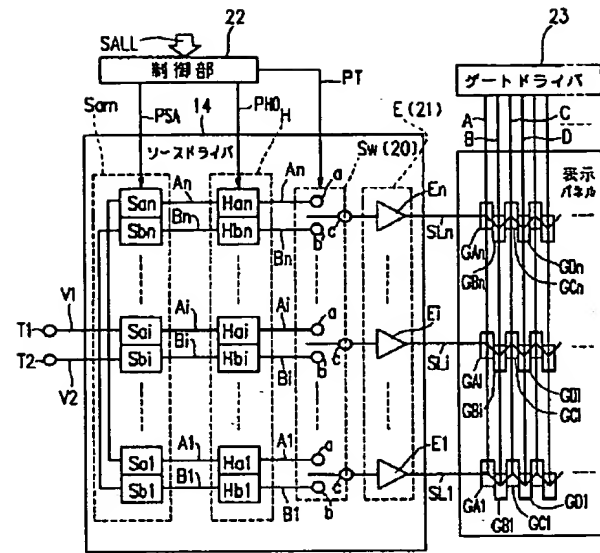
【图 10】



【図11】



【図12】



$$V1 = (A1, \dots, Ai, \dots, An)$$

$$V2 = (B1, \dots, Bi, \dots, Bn)$$